

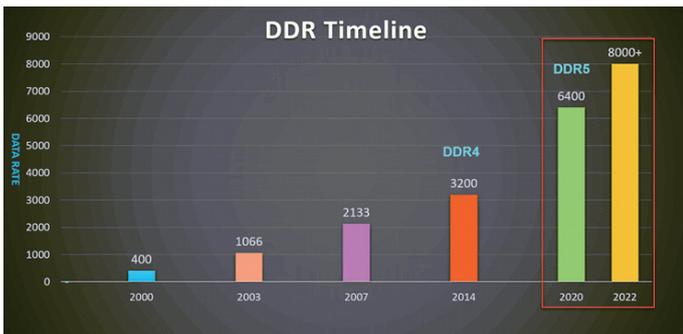
新一代内存 DDR5 怎样改变现状？



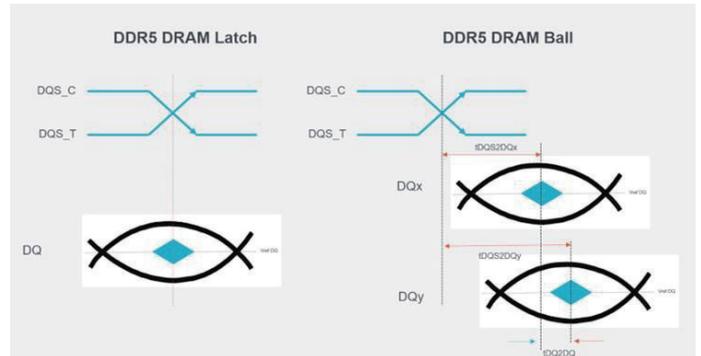
从增强现实到人工智能、云计算再到物联网，5G 正在燃爆新技术增长，同时也在燃爆它们生成的数据量。数据量越来越大，随之而来的是存储和快速访问需求，DDR5 之类的技术变得空前重要。数据中心需要持续存储、传送和处理这些数据，推动着高速信号的极限，也给内存带来了前所未有的测试挑战。

具体有哪些变化？DDR5 与 DDR4 差别很大，实际上更像 LPDDR4。DDR5 带来 9 个变化：

1. 速度更快！ 第一个，也是最重要的一个，数据速率达到 6.4 Gbps，而 DDR4 最高只有 3.2Gbps。规范中还有一条，在未来几年内把速度上限推高到 8 Gbps 以上。通道结构与 LPDDR4 类似，ECC 中也有两条独立的 40 位通道。还有更高的预读取、更高的突发长度和更高的行列组，这些都提高了效率，实现了高速模式。



2. DDR5 带来的另一大变化是写入不再居中。 DQS 和 DQ 之间有固定的偏置，因此我们不能只在示波器上测量 DQS 和 DQ 之间的延迟，以推算出是读还是写。不再这么容易了！读写突发分隔都将变得更加复杂。

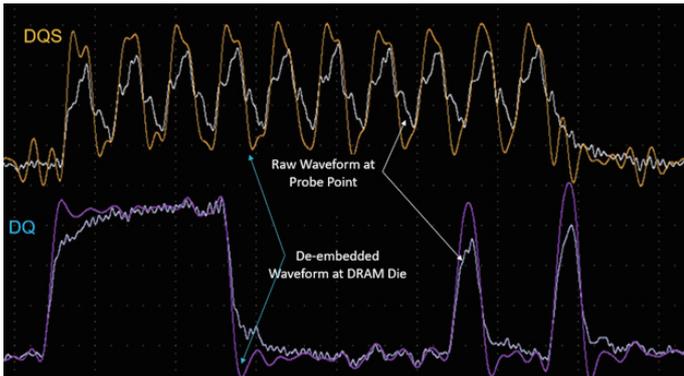


3. 新的时钟抖动测量。 DDR5 引入了 Rj、Dj 和 Tj 测量，代替了周期和周期间抖动测量。Rj 指标在最大数据速率下变得非常紧。优秀的信号完整性对满怀信心地测量这些参数变得至关重要。

4. 反嵌在更高的 DDR5 数据速率下将变得非常关键。 反嵌是一种移除探头和内插器负载的技术。它还用来把探测点以虚拟方式从 DRAM 球移到 DRAM 芯片，以使反射达到最小。我们想看到 Rx 看到的是什么。为成功地创建反嵌滤波器文件或传递函数，要求 s-par 文件，而且数量很多。

新一代内存 DDR5 怎样改变现状？

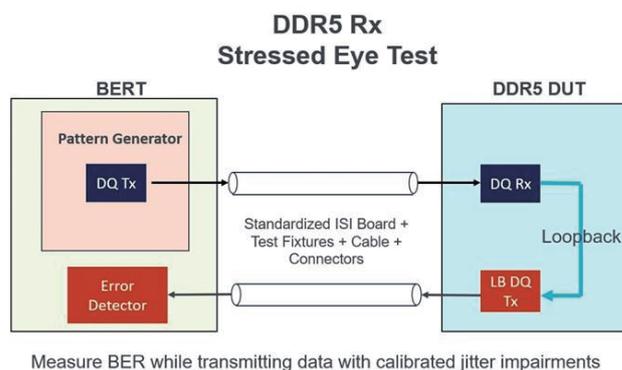
想法是在 SOC 封装、电路板模型、DRAM 封装、内插器、探头及 IO 设置中使用 s-par 模型，比如 Tx 驱动强度和 Rx ODT (如有)，尽可能如实模拟 DDR 通道。如果没有 s-par 模型，还可以使用简单的传输线参数，如传播延迟和特性阻抗，这通过在示波器屏幕上测量反射来实现。



5. 我们将第一次在接收机中有 Rx 均衡、4 阶 DFE。 DDR5 提高了数据速率，而不用把 DQ 总线迁移到差分信号，也就是说，DQ 总线仍是单端的，与 DDR3/4 相同。然而，内存通道有大量的阻抗失配点，由于反射而提高了整体 ISI。在数据速率超过 4800 Mbps 时，DRAM 球的数据眼图预计会闭合。DDR5 DRAM Rx 实现了 4 阶 DFE，帮助均衡 DQ 信号，在接收机锁存数据后张开数据眼图。此外，RCD 的 CA Rx 还需要 DFE，以确保可靠地捕获信号。

6. DDR5 另一个明显变化是包括一条环回通道。 看一下 DDR5 的引脚图，您会发现专用的 DQS/DQ 环回引脚。其用来实现独立 DRAM RX/TX 表征。环回通道至关重要。事实上，我们正是通过环回通道，才知道接收机真正实时做了哪些位决策。它是所有不同接收机之间共享的一条单线，由于信号完整性差及其他原因，我们只能发回每第四个位或每第二个位，所以有充足的时间，能够确保外部接收机或误码检测器能够以 100% 准确度校验片上 Rx 的质量。

7. DDR5 需要使用 BERT 和 / 或通用码型发生器进行独立 DRAM Rx/Tx 测试。 这要求一套全新测试，包括电压和频率灵敏度及压力眼图测试，DDR3/4 中是没有这些测试的。概念很简单，任何人都应能够使用标准化 JEDEC 夹具，根据 JEDEC 规定的测试程序，执行标准测试，确定 DRAM Rx/TX 的健康状况。



8. 准确的压力校准将成为 DDR5 RX 测试中的大问题，而且要获得准确的 S 参数模型，这两者都必须进行估算并测量，包括所有段。 另一个关键特性是能够准确地或很好地猜出测量深度及示波器记录长度，这样就不会浪费太多的时间。

9. DRAM Rx/Tx 测试将面临巨大的数据库管理问题。 数量庞大的 s-par 文件、反嵌模型和测量结果的自动化和管理，将变成一个噩梦。想象一下，不同厂商多种 DIMM 配置，以不同速度等级测试 80 多个引脚，这将非常非常困难。

与 DDR3/4 相比，DDR5 改善了带宽、密度和通道效率。但数据传送速率越高，信号速度越快，要求一致性测试、调试和验证的测量性能越高。了解 DDR5 固有的差异有助于 [高效检验和调试](#)。

如需更深入了解这些差别，以及与最新 DDR5 标准相关的其他棘手的测量挑战，请点播 [网络研讨会](#)。